

Original document

IMAGE SENSOR

Patent number: JP7161956

Publication date: 1995-06-23

Inventor: TAKAYAMA YASUO

Applicant: FUJI XEROX CO LTD

Classification:

- international: **H01L27/146; H04N1/028; H01L27/146; H04N1/028**; (IPC1-7): H01L27/146; H04N1/028

- european:

Application number: JP19930340106 19931207

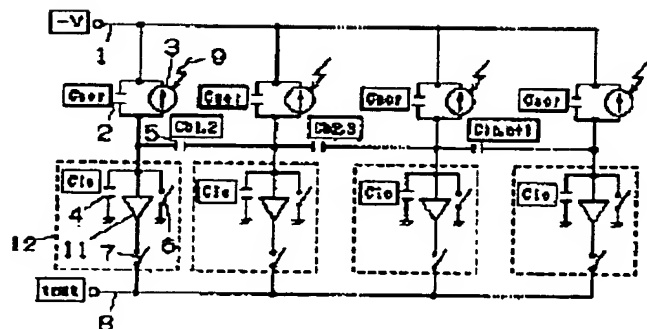
Priority number(s): JP19930340106 19931207

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP7161956

PURPOSE: To improve the ununiformity of the output and to improve an overall contrast by taking a capacity in a photoreceptor element and a driving circuit element into consideration. **CONSTITUTION:** A photoreceptor element 3 has capacitance 2, and a driving element 11 also has its internal capacitance 4. A wiring for connecting the photoreceptor element 3 with the driving element 11 has capacitance 5. A ratio is defined as $f_n = C_{bn, n+1} / (C_{scrn} + C_{icn})$, where C_{scrn} is the capacitance of the $n+h$ photoreceptor element, C_{icn} is the capacitance of the $n+h$ driving element and $C_{bn, n+1}$ is the capacitance between $n+h$ and $(n+1)+h$ conductors. When the f_n is 0.02-0.1, an overall contrast is good.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-161956

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 1/028	Z	7376-4M	H 0 1 L 27/ 14	C

審査請求 未請求 請求項の数1 F D (全 6 頁)

(21)出願番号 特願平5-340106

(22)出願日 平成5年(1993)12月7日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 高山 康夫

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

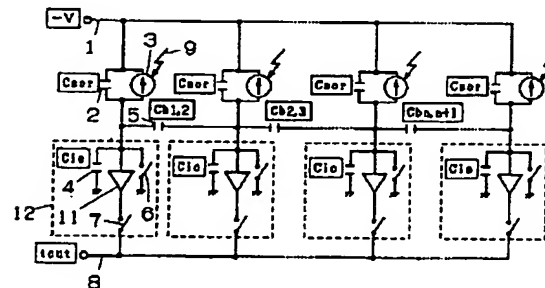
(74)代理人 弁理士 石井 康夫 (外1名)

(54)【発明の名称】 イメージセンサ

(57)【要約】

【目的】 出力の不均一性を改善するとともに、受光素子や駆動回路素子内の容量をも考慮し、全体のコントラストを改善したイメージセンサを提供する。

【構成】 受光素子3には、受光素子容量2が存在し、また、駆動素子11内にも駆動素子内部容量4が存在する。さらに、受光素子3と駆動素子11を接続する配線10の間に配線間容量5が存在する。n番目の受光素子容量2をCscrn、n番目の駆動素子内部容量4をC1cn、n番目とn+1番目の配線10の間の配線間容量5をCbn、n+1とすると、比率fnを $f_n = C_{bn, n+1} / (C_{scrn} + C_{1cn})$ と定義する。比率fnが0.02~0.1であるとき、全体のコントラストが良好な状態となる。



1

【特許請求の範囲】

【請求項1】 基板上に多数配置される受光素子と、該受光素子を駆動するための駆動素子と、前記受光素子および前記駆動素子を電気的に接続するための導体配線群とを備えたイメージセンサにおいて、前記導体配線群のn番目の導体配線とn+1番目の導体配線の配線間容量 $C_{bn, n+1}$ と、n番目の導体配線に接続されている前記受光素子の容量 C_{scrn} と、n番目の導体配線に接続されている前記駆動素子の容量 C_{icn} とから計算される比率 f_n を

$$f_n = C_{bn, n+1} / (C_{scrn} + C_{icn})$$

とすると、比率 f_n が0.02~0.1の範囲となるように前記導体配線群を配線したことを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、紙幣読み取り装置、帳票読み取り装置、ファクシミリ等、種々の読み取り装置に用いられる電荷蓄積型イメージセンサに関し、特に、イメージセンサの受光素子と駆動回路素子とを接続する導体配線群の構造の改良に関するものである。

【0002】

【従来の技術】従来のイメージセンサ、特に、密着型イメージセンサにおいては、複数の受光素子から取り出される出力が不均一であり、読み取った画像にむらが発生していた。この密着型イメージセンサの出力の不均一性は、駆動回路あるいは信号処理回路と受光素子とを結ぶ配線間に浮遊する容量によることが知られている。そのため、このイメージセンサの出力の不均一性を改良する方法として、配線パターンの配線間容量を均一にすることが考えられている。

【0003】例えば、特公平3-28871号公報には、配線間の浮遊容量より十分に大きな容量の素子を各導体にそれぞれ並列に形成し、浮遊容量に影響されないで読み取りを行なう技術が記載されている。また、特公平5-19859号公報では、導体配線群を、導体線路の配線位置に応じて厚みまたは面積の異なる比誘電率の高い絶縁体で覆い、これによって導体配線群の各線間容量を均一としている。

【0004】しかしながら、これらの方法では、配線間の容量のみに着目し、この配線間容量を均一にすることのみを目的としている。しかし、これだけでは不十分であり、画像情報を正しく読み取ることができなかった。例えば、受光素子の容量や、駆動回路の容量などとの関係によっては、コントラストが低下する。そのため、定常的に光が照射されている場合は有効であるが、白と黒のまだら模様の原稿を読み取る場合や、定常的に光が照射されていて、紙幣や原稿が照射されている光を遮ることで、外形や透過光のイメージを読み取る装置等に用いられる場合などにおいては有効でない場合があった。

2

【0005】別の技術として、例えば、特開平1-194654号公報には、受光素子をブロックに分割し、ブロック毎に駆動して、ブロック内の受光素子からの信号を同時に取り出す技術が記載されている。しかし、複数の信号を同時に受け取るための回路が複数必要となり、これらの回路の不均一性のために、やはり読取信号にむらが発生する。また、ブロック内の信号は、隣接した配線を介して取り出されるため、上述のようなコントラストの大きい読取対象からの信号には、やはり配線間容量が影響する。

【0006】

【発明が解決しようとする課題】本発明は、上述した事情に鑑みてなされたもので、出力の不均一性を改善するとともに、受光素子や駆動素子内の容量をも考慮し、全体のコントラストを改善したイメージセンサを提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明は、基板上に多数配置される受光素子と、該受光素子を駆動するための駆動素子と、前記受光素子および前記駆動素子を電気的に接続するための導体配線群とを備えたイメージセンサにおいて、前記導体配線群のn番目の導体配線とn+1番目の導体配線の配線間容量 $C_{bn, n+1}$ と、n番目の導体配線に接続されている前記受光素子の容量 C_{scrn} と、n番目の導体配線に接続されている前記駆動素子の容量 C_{icn} とから計算される比率 f_n を

$$f_n = C_{bn, n+1} / (C_{scrn} + C_{icn})$$

とすると、比率 f_n が0.02~0.1の範囲となるように前記導体配線群を配線したことを特徴とするものである。

【0008】

【作用】本発明によれば、導体配線群のn番目の導体配線とn+1番目の導体配線の配線間容量 $C_{bn, n+1}$ と、n番目の導体配線に接続されている受光素子の容量 C_{scrn} と、n番目の導体配線に接続されている駆動素子の容量 C_{icn} とから計算される比率 f_n を

$$f_n = C_{bn, n+1} / (C_{scrn} + C_{icn})$$

とする。このとき、比率 f_n が0.1より大きい場合には、隣接する両側のビットの影響を受けるために、一様な原稿を読む場合には問題ないが、例えば白と黒の斑模様を読んだ場合には、全体的にコントラストが悪くなってしまう。また、比率 f_n が0.02より小さい場合には、残像率が上昇し、画像データの分解能が小さくなってしまう。そのため、比率 f_n が0.02~0.1の範囲となるように前記導体配線群を配線することにより、出力不均一性および全体のコントラストの両方の重要な特性を改善したイメージセンサを得ることができる。

【0009】

【実施例】図1は、本発明の原理を説明するためのイメージセンサの等価回路図である。図中、1は受光素子用

3

電圧、2は受光素子容量、3は受光素子、4は駆動素子内部容量、5は配線間容量、6はセンサリセット用スイッチ、7はセンサ出力用スイッチ、8はセンサ出力信号線、9は光、10は配線、11はアンプ、12は駆動素子である。

【0010】受光素子3には、所定の受光素子用電圧1が印加されている。受光素子3に光9が照射されると、受光素子3に発生する電荷が受光素子容量2に蓄積される。駆動素子12は、アンプ11、センサリセット用スイッチ6、センサ出力用スイッチ7、センサ出力用スイッチ7を駆動するための図示しない回路などから構成され、配線10により受光素子3と接続されている。センサ出力用スイッチ7を順次オンにすることにより、受光素子3で発生し、受光素子容量2に蓄積されている電荷が読み出され、センサ出力信号線8に出力される。受光素子3が駆動されることにより、受光素子容量2に蓄積されている電荷が配線10を通して駆動素子12に移動し、読み出しが行なわれる。駆動素子12にも駆動素子内部容量4が存在する。センサリセット用スイッチ6は、これをオンにすることにより、受光素子容量2に蓄積されている電荷を放出させ、リセットするためのものである。

【0011】各受光素子3は、読み取る際の画素密度の間隔で配置されている。また、駆動素子12は、複数個が集積されて、1個あるいは数個のICとして構成されている。そのため、配線10は互いに近接して配置されており、隣接する配線10との間に配線間容量5が存在する。

【0012】いま、n番目の配線10に着目し、この配線により接続されている受光素子3の受光素子容量2をCscrn、駆動素子内部容量4をCicn、n+1番目の配線10との間の配線間容量5をCbn、n+1とする。また、比率fnを

$$f_n = C_{bn, n+1} / (C_{scrn} + C_{icn}) \quad * \\ C_{scr} = 200 \times 200 \times 8.854 \times 11.7 / (2.5 \times 10^6) \\ = 1.7 \text{ (pF)}$$

である。また、駆動素子内部容量Cic=2pFとすれば、上述の比率fnの式から、

$0.02 \leq C_{bn, n+1} / (1.7 + 2) \leq 0.1$ となり、比率fnが0.02~0.1となる配線間容量Cbn、n+1は、0.074pF~0.37pFと求まる。配線10は、配線間容量がこの範囲となるように、導体配線の配線位置に応じて、配線長、配線幅、配線間隔を設計し、実質的に配線間容量を均一にする。このときに、配線間容量の計算は、例えば、特公平5-19859号公報に開示される技術を用いて計算すればよい。

【0017】また、配線間容量Cbn、n+1が0.074pF~0.37pFの範囲に入らない場合は、例えば、受光素子のサイズ200×200μmをもっと大き

4

*と定義する。この比率fnを適当な範囲となるように、それぞれの容量を設定すればよい。

【0013】図2は、比率fnと残像率の関係を示すグラフである。図中、●は660nmの光を受光素子に照射した場合の残像率を示したグラフ、△は570nmの光を受光素子に照射した場合の残像率を示したグラフである。各グラフにおいては、±2%程度の誤差がある。

【0014】残像率は、大きくても小さくても、読取画像に影響する。残像率が0%を下回ると、画像データは黒の基準値よりも小さくなり、特別な処理回路が必要となる。このイメージセンサを認識装置に用いた場合には、認識エラーを発生させる原因となる。また、残像率が20%を越えると、画像データの分解能が小さくなり、読取装置としての性能が低下する。このような理由から、残像率は、0~20%の間に設定することが望ましい。

【0015】通常読み取りに用いられる光源は、受光素子の感度などを考慮して570~660nm程度の波長のものが多く用いられている。この波長域の光を受光するとき、残像率を適正な値に設定すればよい。図2に示したグラフから、上限の残像率20%となる比率fnは、660nmの光を用いたときのグラフから、0.02であることがわかる。また、下限の残像率0%となる比率fnは、570nmの光を用いたときのグラフから、0.1であることがわかる。このように、比率fnが0.02~0.1の範囲となるように設定すればよいことになる。すなわち、上述の比率fnの式より、比率fnがこの範囲になるように、受光素子容量2、駆動素子内部容量4、配線間容量5を決定すればよい。

【0016】具体例をもとに、比率fnが上述の所定値となるように、各容量を計算してみる。受光素子が、例えば、膜厚2.5μm、εo=11.7程度で、サイズが200×200μmの場合を考える。このとき、受光素子の容量Cscrは、

くしたり、膜厚2.5μmを小さくしたり、εo=11.7を大きくすることにより、配線間容量の上限値を変えることができる。また、受光素子のサイズ、膜厚、εoを逆に変化させて、下限値を変えることができ、配線間容量が再計算により得られる範囲内となるように、配線の設計を行なうことができる。また、イメージセンサの外型寸法の制約などで、配線のための領域が十分に確保できない場合は、配線上に絶縁体を介して、導体を形成し、受光素子容量を増加させることもできる。さらに、可能であれば、例えば、駆動素子12を取り替えて、駆動素子内部容量Cicを変化させることにより、配線間容量や受光素子3の容量の上下限を変化させることもできる。

【0018】図3乃至図9は、配線10の配線パターン

5

の例を示す平面図である。図中、図1と同様の部分には同じ符号を付している。13は配線間容量補正用パターンである。上述のように、配線間容量の範囲が求まると、その範囲内で配線間容量が均一となるように配線パターンを設計すればよい。図示した例は、配線間容量が均一となるように配線した配線パターンのいくつかの例を示している。図示した各例では、受光素子3を250～500 μ mピッチで配置しており、また、駆動素子12との接続側では、110 μ mピッチでワイヤボンディング技術を用いて駆動素子を集積したICと接続している。

【0019】図3は、従来より多く用いられている配線パターンの例である。このような配線パターンでも、配線間容量を均一化することは不可能ではないが、より簡単に配線間容量を均一化するため、配線10の屈折点を増やすことにより、配線間容量の均一化を図っている。図3に示した配線パターンよりも、屈折点が多い配線パターンを図4に示す。屈折点が多いほど配線間容量のばらつきが小さくなることが分かったため、図5に示すように、配線10の一部を曲線状にした場合も効果があった。さらに、図6に示すように、曲線状にし、配線間隔を変化させた場合も効果があった。また、図5、図6に示すように、配線間容量補正パターン13を一部に設け、配線間容量を均一化することもできる。

【0020】しかしながら、配線に曲線を用いると、製造工程の上での配線オープン、ショートの修正が困難と*

$$(4000 \times 50 \times 8.854 \times 9 / 20 \times 10^6 \times 2) = 0.4 \text{ PF}$$

となる。このように、配線間容量を増加することができるので、比率 f_n を所定範囲とする際に、配線間容量を調整する1つの手段として用いることができ、設計上の選択範囲を広げることができる。例えば、受光素子の容量及び駆動素子の内部容量が大きく、比率 f_n を所定範囲とするために大きな配線間容量が必要な場合に、図10に示したような方法を用いることができる。

【0023】

【発明の効果】以上の説明から明らかなように、本発明によれば、配線間容量とともに受光素子や駆動素子内の容量をも考慮し、配線間容量と、受光素子容量と駆動素子内部容量との比率を所定範囲となるように設計することにより、出力の不均一性を改善するとともに、全体のコントラストを改善することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の原理を説明するためのイメージセンサの等価回路図である。

【図2】 比率 f_n と残像率の関係を示すグラフである。

【図3】 配線10の配線パターンの例を示す平面図である。

6

*なるために、直線的な配線が望まれる場合もある。そのような場合、図7に示すような配線パターンを用いることができる。しかし、この場合、配線の幅、長さ、間隔だけでは補正が十分行なえない場合もあり、配線間容量補正パターン13を設けることにより、実用上問題ない配線を行なうことができる。

【0021】上述したいくつかの配線パターンを組み合わせることもできる。例えば、図3に示した配線パターンと図7に示した配線パターンを組み合わせ、図8に示した配線パターンとしたり、図5または図6に示した曲線の配線パターンと、図7に示した配線パターンを組み合わせ、図9に示した配線パターンを構成することもできる。

【0022】図10は、配線間容量を増加させたい場合の配線部分の一例を示す断面図である。図中、10は配線、14は絶縁体、15は絶縁性基板、16は導体である。配線間容量を増加させたい場合は、図10に示すように、配線10の上部を覆っている絶縁体14の上に導体16を配置する。これにより、平行平板コンデンサに近い容量ができるので、配線パターンのみによる配線間容量よりも、容量を大きくすることが可能である。例えば、絶縁体14を厚膜印刷で形成する場合は、厚さが20 μ m程度とすることができるため、 $\epsilon_0 = 9$ とし、オーバーラップする面積を4mm \times 0.05mmとすれば、配線間容量の増加分は

【図4】 配線10の配線パターンの例を示す平面図である。

【図5】 配線10の配線パターンの例を示す平面図である。

【図6】 配線10の配線パターンの例を示す平面図である。

【図7】 配線10の配線パターンの例を示す平面図である。

【図8】 配線10の配線パターンの例を示す平面図である。

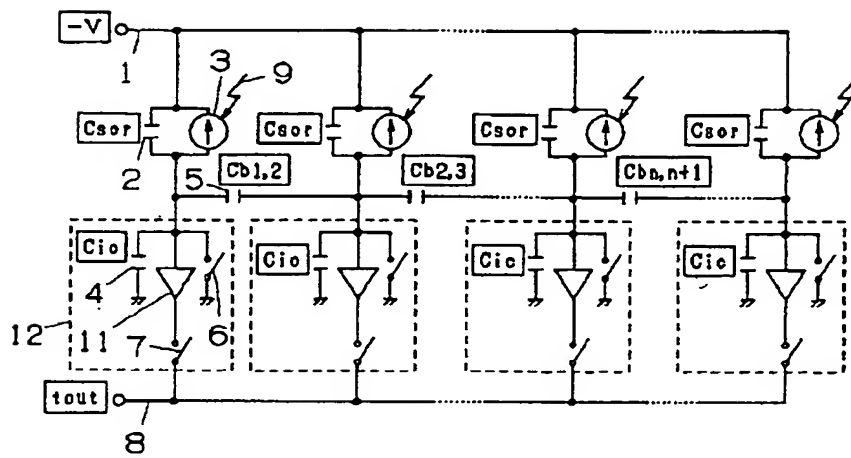
【図9】 配線10の配線パターンの例を示す平面図である。

【図10】 配線間容量を増加させたい場合の配線部分の一例を示す断面図である。

【符号の説明】

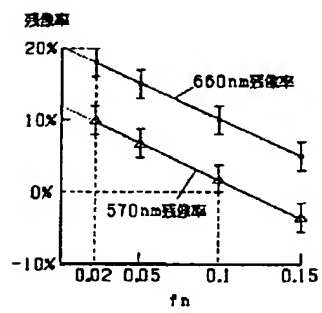
1 受光素子用電圧、2 受光素子容量、3 受光素子、4 駆動素子内部容量、5 配線間容量、6 センサリセット用スイッチ、7 センサ出力用スイッチ、8 センサ出力信号線、9 光、10 配線、11 アンブ、12 駆動素子、13 配線間容量補正用パターン、14 絶縁体、15 絶縁性基板、16 導体。

【図1】

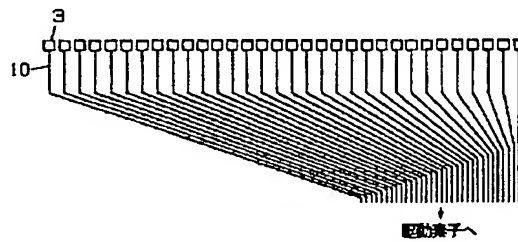


【図2】

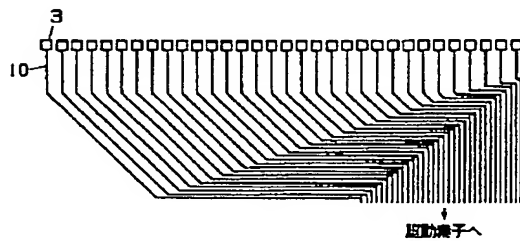
【図3】



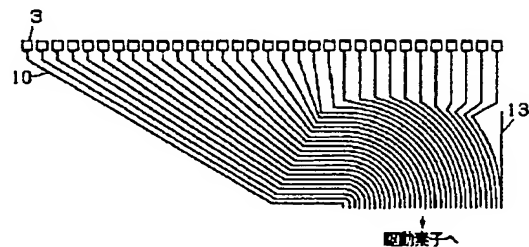
【図4】



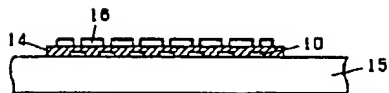
【図5】



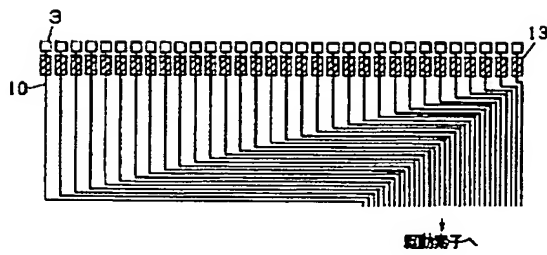
【図10】



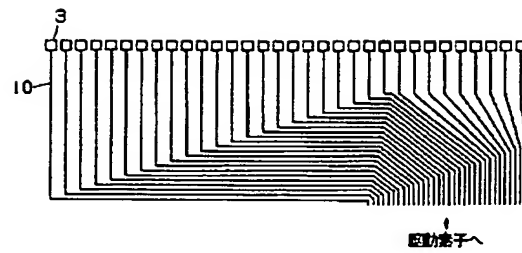
【図6】



【図7】



【図8】



【図9】

